

15009

BEST AVAILABLE COPY

13 E 150

(54) FORMING METHOD FOR V-SHAPED ISOLATION REGION

(11) 57-159038 VA (43) 1.10.1982 (19) JP

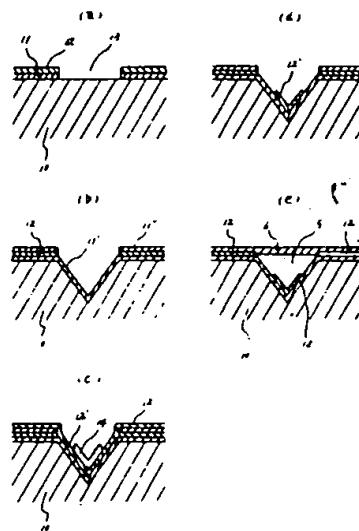
(21) Appl. No. 56-43800 (22) 25.3.1981

(71) FUJITSU K.K. (72) TAKESHI FUKUDA(1)

(51) Int. Cl. H01L21/76, H01L21/302, H01L21/318

PURPOSE: To obtain a preferable isolation region by forming a groove of V-shape in section in a depth reaching a P type semiconductor region in a semiconductor substrate, sequentially forming an SiO_2 film and an Si_2N_4 film on the side wall of the V-shaped groove, remaining the Si_2N_4 film only on the bottom of the groove and filling polysilicon in the groove.

CONSTITUTION: An SiO_2 film 11 and an Si_2N_4 film 12 are covered on the surface of an Si substrate 10, a V-shaped groove forming window 13 is opened, a V-shaped groove is formed by etching, an SiO_2 film 11' is covered on the surface of the groove, and a CVD SiO_2 film is formed on the film 12. Then, SiO_2 , Si_2N_4 , CVD SiO_2 layers are patterned, an Si_2N_4 film 12' is covered on the overall surface of the substrate, a photoresist 14 is formed on the bottom of the groove, with the photoresist 14 as a mask the film 12' is formed on the bottom of the groove, polysilicon is buried in the groove, and an SiO_2 film is covered on the surface. In this manner, the production of N-channel in the groove isolation of polysilicon filling type can be prevented.



⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
 ⑰ 公開特許公報 (A) 昭57-159038

⑯ Int. Cl. ³ H 01 L 21/76 21/302 21/318	識別記号 8122-5F 7131-5F 7739-5F	庁内整理番号 8122-5F 7131-5F 7739-5F	⑯ 公開 昭和57年(1982)10月1日 発明の数 1 審査請求 未請求
---	---------------------------------------	---	---

(全 3 頁)

⑯ V字型分離領域の形成方法

⑰ 特 願 昭56-43800
 ⑰ 出 願 昭56(1981)3月25日

⑰ 発明者 福田猛
 川崎市中原区上小田中1015番地
 富士通株式会社内

⑰ 発明者 田中和夫

川崎市中原区上小田中1015番地
 富士通株式会社内
 ⑰ 出願人 富士通株式会社
 川崎市中原区上小田中1015番地
 ⑰ 代理人 弁理士 松岡宏四郎

明 次 書

1. 発明の名称

V字型分離領域の形成方法

2. 特許請求の範囲

半導体基板に断面V字型の溝を少なくともp型の半導体領域に至る深さに形成した後、該V溝の側壁上に酸化珪素膜、脱化珪素膜を順次形成し、次いで該V溝底部近傍のみを残して前記V溝内酸化珪素膜を除去した後、多結晶シリコンでV溝内を充填する工程を有することを特徴とするV字型分離領域の形成方法。

3. 発明の詳細な説明

本発明は半導体基板上のV型アイソレーション領域の形成に関するもので、特にV溝底部に形成するp型基板領域にn型反転層を生ぜしめることの無いV型アイソレーション領域の形成に関するものである。

主にバイポーラ型素子回路の形成に於て、(100)面を主表面とする基板結晶に<110>方向に断面V字型の溝を形成することが行なわれる。このV

溝は基板表面のn型層を分離するのが目的であるから、その下のp型領域にまで到達する深さに形成される。

一方、基板表面を平坦にする為、このV溝は多結晶シリコン(以下ポリSiと略記)で充填されるが、V溝底部とポリSiの間に二酸化珪素(SiO₂)膜が設けられる。

このような構造では、p型基板に接するSiO₂膜がNa⁺イオンで汚染されるとp型領域にn型反転層が生じ、各量子領域間の分離が不完全なものになる。これを防ぐ方法として、V溝底部に接する領域をp⁺型とし、反転層の発生を避けるという方法もあるが、より簡便な方法として、V溝内のSiO₂膜表面を酸化珪素(Si_xN_y)膜で覆い、Na⁺イオンをブロックするという方法がある。

この方法の問題点は次のようなものである。第1図に示すようにp型のシリコン基板(以下Si基板と略記)1上にn型層2が存在し、これにV溝が彫られ、その側壁にはSiO₂膜3が接着し

△曲というのとはさほどもびしい条件ではない。

従って本発明はこのような露光技術を利用して幅6μm程度のV溝内に水平方向で約3μmの幅のSi₁N_x膜を選択的に形成する。即ち、半導体基板に断面V字型の溝を水なくともり抜き半導体領域IC至る深さまで形成した後、該V溝の側壁上にSiO₂膜、Si₁N_x膜を順次形成し、次いでV溝底部近傍のみを残して前記V溝内Si₁N_x膜を除去した後、ポリSi₁でV溝内を充填することを特徴としている。

第4図に本発明の一実施例の工法を示す。まず、
 同図(a)に示すようにS1基板10の表面をSiO₂、
 膜11とSi₃N₄膜12で覆い、V溝形成層13
 を開く。次にエチギングによりV溝を形成した後、
 溝内の表面をSiO₂膜11で覆う(第4図b)。
 このSiO₂膜11を熱酸化で形成した場合には予
 めSi₃N₄膜12の上にCVD SiO₂膜を形成し
 ておいて、SiO₂/Si₃N₄/CVD SiO₂の3
 層をバーニングしておく。これは後に形成する
 Si₃N₄膜をバーニングする際、はじめに形成

ている。その上に更に Si_3N_4 膜が基板の水平表面から V 槽側面まで連続して被覆形成されると、電子形成の為、基板の水平表面部分の Si_3N_4 膜を除去した場合、第 2 図に示すよう Si_3N_4 膜が過剰にエッチオフされて小島 δ を生ずることが起る。このような小島は配線層に断絶を生ぜしめる等、障害発生の原因となるので、その形成は極力避けねばならない。

これは第3図のように水平部分 KS_1N_4 層の端を形成した場合も同様で、オーバーヘンダ β' を生じ配線の断線の原因となる。なお、図で5はボリ81、6はその表面に形成された SiO_2 保護膜である。

従って S_1, N_4 族で Na^+ イオンをプロトクする場合、必要部分にのみ形成し、基板表面まで延ばさないようにすることが必要である。

又、プロキシミティと呼ばれる感光方式では、マスクを感光場から数十μ離して設置し、しかもシャープな像を転写することが可能である。また、位置合せ技術の進歩により、位置合せマージン 1

した $S1, N_6$ 誤 12 を保護する為のものである。
また図には明示されていないが V 部は画面内の P
型端部に連する深さに形成されることは当然であ
る。

次に画面上全面に $S1, N_4$ 標 1'2' を被覆が感した後 フォトレジストを露布し、プロキシミティ方式等の非接触型測定法によって V 槍底部にのみフォトレジスト 1'4' を残す。この状態が第 4 図(d)に示されている。続いてドライエッチャにより、フォトレジスト 1'4' をマスクとするパターニングを行ない、V 槍底部以外の $S1, N_4$ 標を除去する。この状態が第 4 図(d)である。

ドライエッティングはその条件を調整することにより被エッティング材料に適合させることができる。その利用によりフォトレスリストをマスクとして Si, N_x膜をバーニングすることが可能になつたものである。V₂O₅膜上のSiO₂膜がCVD膜／熱凍化膜の2層になつてゐる場合は、このエッティング工程でCVD SiO₂膜までを除去する。

この後、V溝内をボリS1を埋め、表面をボリ

・シューして平坦化し、更にポリSI表面を酸化して SiO_2 層で覆うという、通常のV構ポリSI分離技術の形成工程に入ることになる(第4図(e))。

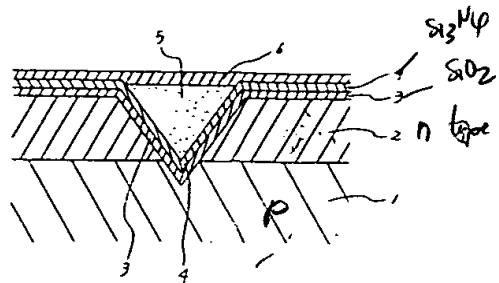
以上説明したように、本発明の方法によれば基板表面部分の Si_3N_4 層とは連続していない Si_3N_4 層で V 部分を残すことが可能となり、より Si 充填型の V 席アイソレーションに於けるロチヤネル発生を防止することが出来るのである。

4. 異常の簡単な説明

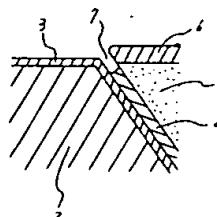
第1図乃至第3図は従来技術を示す図、第4図は本発明の実施例を示す図であって、図に於て1はS1基板p型領域、2はn型領域、3、6はS1O₂、4はSi₃N₄、5はボリS1、7は溝、7'はオーバーハング、10はS1基板、11、11'、11''はS1O₂、12、12'はSi₃N₄、13はエーテング窓、14はフォトレジストである。

代理人弁理士 松岡安四郎

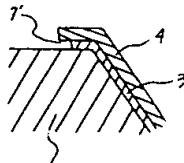
第一回



第 2 四



第 3 四



第 4

